

Список вопросов по курсу «ЛСП»

1. Описание цифровых устройств на Verilog HDL – модули, входные и выходные порты, внутренние сигналы. Тестовое окружение. Отличие описания схемы на цифровых и аналоговых языках.
2. Реализация нисходящего и восходящего проектирования. Реализация иерархичности проектов. Идея цифрового синтеза устройств.
3. Минимальный логический базис и соответствующие операторы в языке Verilog.
4. Типы данных в языке Verilog. Целочисленные данные. Тип времени.
5. Последовательные и параллельные операторы. Описание на уровне RTL.
6. Последовательные и параллельные операторы. Описание на структурном уровне. Формирование библиотеки элементов.
7. Оператор генерации компонентов.
8. Последовательные и параллельные операторы. Поведенческое описание.
9. Формы представления таблиц истинности. Табличные, графовые.
10. Назначение блоков initial и always. Варианты записи списка чувствительности блока always.
11. Вывод данных. Системные функции Verilog для вывода данных на консоль и в файл.
12. Операторы, применимые в блоке assign.
13. Реализация задержки в Verilog HDL. Транспортная и инерциальная задержки.
14. Реализация задержки в Verilog HDL. Блоки specify. Формат SDF.
15. Таски (task) и события (event).
16. Две формы записи оператора присваивания: «=» и «<=». Области применимости.
17. Условный оператор. Оператор множественного выбора.
18. Операторы циклов.
19. Параметризация описаний в языке Verilog.
20. Команды препроцессора в Verilog HDL.
21. Алгоритмы моделирования: сквозной и событийный. Преимущества и недостатки их друг перед другом.
22. Сравнение основных конструкций описания цифровых элементов в языках Verilog и VHDL.
23. Сравнение основных конструкций описания цифровых элементов в языках Verilog и SystemC.
24. Задача цифрового синтеза. Библиотека элементов в форматах Verilog и Liberty. Программа yosys.
25. Физический синтез цифровых схем. Понятие стандартной ячейки.